



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 27/108

(11) 공개번호 특2002-0070730
(43) 공개일자 2002년09월11일

(21) 출원번호 10-2001-0010972
(22) 출원일자 2001년03월03일

(71) 출원인 삼성전자 주식회사
경기 수원시 팔달구 매탄3동 416

(72) 발명자 유영섭
경기도평택시지산동우성아파트111동102호
김석식
충청남도천안시목천면도장리358-2
황기현
경기도용인시수지읍풍덕천리현대아파트102동307호
임한진
서울특별시강남구도곡1동963번지역삼력키아파트108동404호
최성재
서울특별시서초구서초4동진흥아파트1-1505

(74) 대리인 박영우

심사청구 : 있음

(54) 반도체 메모리 장치의 스토리지 전극층 및 그 형성방법

요약

본 발명은 반도체 메모리 장치의 스토리지 전극층 및 그 형성방법에 관한 것이다. 본 발명의 형성방법은 액티브 소자 및 비트라인이 제 1 절연막으로 덮힌 웨이퍼를 준비하고, 제 1 절연막에 매몰 콘택 플러그를 형성한다. 제 1 절연막 상에 식각저지층, 제 2 절연막을 형성한다. 이어서, 제 2 절연막에 불순물을 이온주입하고 그 위에 제 3 절연막을 소정 두께로 형성한다. 제 3 절연막 상에 캐패시터 형성영역을 한정하기 위한 포토 레지스트 패턴을 형성하고, 포토 레지스트 패턴을 사용하여 제 3 및 제 2 절연막을 이방성 식각하여 개구부를 형성한다. 개구부에 노출된 제 2 절연막이 등방성 에칭되도록 세정한다. 상기 제 2 및 제 3 절연막의 프로파일을 따라 균일한 두께로 폴리실리콘을 도포하고, 남겨진 제 3 및 제 2 절연막을 제거한다. 따라서, 세정공정시 제 2 절연막이 제 3 절연막에 비해 빠른 속도로 식각되므로 내경이 큰 실리더형 기단부 상에 내경이 작은 파이프형 탐부가 올려진 형상으로 스토리지 전극층이 형성되므로, 구조적으로 안정된다.

대표도
도 4

명세서

도면의 간단한 설명

도 1 내지 도 3은 종래의 반도체 메모리 장치의 스토리지 전극층의 형성방법을 나타낸 공정 순서도.

도 4는 본 발명에 의한 반도체 메모리 장치의 스토리지 전극층의 구조를 나타낸 단면 사시도.

도 5 내지 도 11은 본 발명에 의한 반도체 메모리 장치의 스토리지 전극층 형성방법을 나타낸 공정 순서도.

< 도면의 주요부분에 대한 부호의 설명 >

10 : 기판 12 : 소자분리층

14 : 게이트 산화막 16 : 폴리실리콘층

18 : 텅스텐 실리사이드층 20 : 측벽 스페이서

22 : 마스크층 24 : 드레인 콘택 플러그

26 : 소오스 콘택 플러그 28 : 절연막

30 : 비트라인 32 : 측벽 스페이서

34 : 마스크층 36 : 절연막

37 : 매몰 콘택 플러그 38 : 식각저지층

50 : 스토리지 전극층 52 : 기단부

54 : 탑부 56 : 절연막

58 : 절연막 59 : 반사 방지막

60 : 포토 레지스트 패턴 62 : 개구부

64 : 공간부 66 : 폴리실리콘

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치의 스토리지 전극층 및 그 형성방법에 관한 것으로, 특히 제한된 셀 면적 내에 높은 스토리지 전극층을 형성함에 있어서 쓰러짐을 방지하기 위하여 안정된 구조를 가진 스토리지 전극층 및 그 형성방법에 관한 것이다.

최근 DRAM과 같은 메모리 소자의 집적도가 증가함에 따라 제한된 셀 면적에서 충분한 캐패시턴스를 얻기 위한 여러 가지 방법들이 연구되어지고 있다. 셀 캐패시턴스를 증가시키기 위한 방법으로는 캐패시터 유전막으로 높은 유전율을 갖는 물질을 적용하는 방법과 HSG(Hemisphere Silicon Grain) 성장을 이용한 셀의 유효면적을 증가시키는 방법, 유전막으로 고유전율 물질을 사용하는 방법 등이 있다.

셀의 유효면적을 증가시키기 위하여 HSG(Hemisphere Silicon Grain)를 이용한 표면 요철 구조에 의한 방법 이외에도 셀 캐패시터를 구성하는 스토리지 전극층의 높이를 높게 하는 기술이 도입되고 있다. 복잡한 HSG 공정으로 공정 코스트가 상승하기 때문에 공정이 단순한 캐패시터 높이를 높이는 방식이 다시 연구되고 있다.

최근에 기가급 이상의 DRAM에서는 좁은 셀영역 내에서 충분한 셀캐패시턴스를 확보하기 위하여 15,000 Å 이상의 높이를 가진 캐패시터 구조가 도입되고 있다. 셀당 면적이 좁아지면서 상대적으로 캐패시터의 높이는 높아지게 되면서, 스토리지 전극층이 기울어지거나 심하면 쓰러지는 문제가 발생하게 되었다.

통상적으로 실린더형 캐패시터는 절연막에 개구부를 형성하고 개구부의 바닥 및 측벽의 프로파일을 따라 실린더형 스토리지 전극층이 형성된다. 절연막에 형성된 개구부는 식각공정시 로딩 효과에 의해 입구에 비하여 상대적으로 바닥이 좁게 형성된다. 그러므로, 개구부의 측벽은 경사를 가지게 된다.

개구부의 바닥 및 내벽에 도포된 폴리실리콘은 개구부의 프로파일을 따라 도포되므로 형성된 폴리실리콘 스토리지 전극층은 바닥은 좁고 입구는 넓은 불안정한 형태를 가지게 된다. 그리고, 주변의 절연막이 제거되면 전극층의 측벽이 역경사를 가지게 되므로 자중에 의해 기울어지게 되고, 후속공정을 위하여 웨이퍼 이동시에 조그만한 충격에 의해 쉽게 쓰러지게 된다.

스토리지 전극층이 기울어져 인접 스토리지 전극층과 근접되게 되면 2비트 에러가 발생되기 쉬우므로 소자의 신뢰성을 저하시킨다.

또한, 스토리지 전극층이 쓰러지게 되면 셀 불량률이 발생되므로 수율이 저하된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위하여 기단부가 탭부에 비하여 더 넓게 형성되어 기하학적으로 안정된 구조를 가질 수 있는 반도체 메모리 장치의 스토리지 전극층을 제공하는 데 있다.

본 발명의 다른 목적은 상기 스토리지 전극층을 형성하는데 적합한 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 스토리지 전극층은 제 1 내경을 가진 실린더형 기단부와 상기 기단부의 제 1 내경보다 작은 제 2 내경을 가진 파이프형 탭부로 구성한다. 상기 기단부의 상단과 상기 탭부의 하단이 동일 높이에서 서로 마주보고 연장되어 서로 연결한다.

상기 기단부의 높이는 약 1,000~5,000 Å 정도이고, 상기 탭부의 높이는 약 5,000~15,000 Å 정도가 바람직하다.

전체적으로 스토리지 전극층의 높이는 약 15,000 Å 이상으로 한다.

상기 다른 목적을 달성하기 위하여 본 발명의 형성방법은 제 1 절연막에 매몰 콘택 플러그가 형성된 웨이퍼를 준비하고, 상기 매몰 콘택 플러그가 형성된 제 1 절연막 상에 식각저지층 및 제 2 절연막을 차례로 형성한다. 이어서, 상기 제 2 절연막에 불순물을 이온주입하고, 상기 제 2 절연막 상에 제 3 절연막을 소정 두께로 형성한다. 상기 제 3 절연막 상에 캐패시터 형성영역을 한정하기 위한 포토 레지스트 패턴을 형성하고, 상기 매몰 콘택 플러그의 상면이 노출되도록 상기 포토 레지스트 패턴을 식각마스크로 사용하여 제 3 및 제 2 절연막과 식각저지층을 차례로 이방성 식각하여 개구부를

형성한다. 상기 포토 레지스트 패턴을 제거하고, 상기 개구부 내에 노출된 제 2 절연막이 등방성 에칭되도록 상기 결과물을 세정한다. 상기 제 2 및 제 3 절연막의 프로파일을 따라 균일한 두께로 폴리실리콘을 도포하고, 상기 제 3 절연막의 상면에 도포된 폴리실리콘을 제거한 다음에 상기 남겨진 제 3 및 제 2 절연막을 제거한다.

본 발명에서 제 2 절연막의 소정 두께는 약 1,000~5,000 Å 정도로 하고, 제 3 절연막의 소정 두께는 약 5,000~15,000 Å 정도로 한다.

본 발명에서 제 2 절연막에 주입되는 불순물은 Ar 또는 N₂ 중의 어느 하나로 한다. 이와 같은 불순물 주입은 세정시 제 2 절연막이 제 3 절연막에 비하여 빠른 속도로 등방성 에칭되도록 한다. 상기 세정단계에서 사용되는 세정액은 SC1 및 HF를 사용한다.

상기 제 3 절연막 상에 반사 방지막을 형성하는 것이 바람직하다.

상기 제 2 및 제 3 절연막은 PE-TEOS를 사용한다.

본 발명에서 제 2 절연막에 불순물을 주입하는 것 대신에 등방성 식각시 상기 제 2 절연막의 식각속도에 비하여 더 느린 식각속도를 가진 제 3 절연막을 사용할 수도 있다. 이 때에는 제 2 절연막의 등방성 식각속도는 상기 제 2 절연막의 식각속도에 비하여 적어도 1.5 ~ 3배 정도인 것이 바람직하다.

이하, 도면을 참조하여 본 발명의 바람직한 실시예를 통하여 보다 상세하게 설명한다.

먼저, 본 발명을 설명하기 전에 도 1 내지 도 3을 통하여 종래의 스토리지 전극층의 형성방법에 대해서 설명한다.

도 1를 참조하면, DRAM의 셀은 실리콘 기판(10)에 트렌치형 소자분리층(12)을 형성하고, 액티브 영역에 액티브 소자를 형성한다. 통상적으로 액티브 소자는 MOS 트랜지스터로 구성된다.

MOS 트랜지스터는 게이트 산화막(14) 상에 폴리실리콘(16) 및 텅스텐 실리사이드(18)의 적층구조로 된 게이트 전극층을 포함한다. 게이트 전극층은 절연물질인 측벽 스페이서(20)와 마스크 층(32)으로 보호된다. 게이트 전극층을 이온주입 마스크로 사용하여 액티브 영역의 기판 표면에 불순물을 이온주입하여 소스 및 드레인 영역을 형성한다.

드레인 영역 및 소스 영역의 콘택을 위하여 셀프 얼라인 콘택기술로 콘택을 형성하고 형성된 콘택 내에 폴리실리콘과 같은 도전물질로 채워서 콘택 플러그(24, 26)를 형성한다. 콘택 플러그는 CMP 공정에 의해 서로 독립적으로 분리된다.

이와 같이 구성된 MOS 트랜지스터를 절연막(28)으로 덮고 절연막(28)의 표면을 CMP 공정으로 평탄하게 가공한다.

절연막(28)에 비트라인 콘택을 형성하고, 드레인 콘택 플러그(24)를 노출시키고 비트라인(30)을 형성한다. 비트라인(30)은 절연물질인 측벽 스페이서(32)와 마스크 층(34)으로 보호된다.

비트라인(30)이 형성된 표면에 절연막(36)을 덮고 마찬가지로 절연막(36)의 표면을 CMP 공정으로 평탄하게 가공한다.

절연막(36)에 사진식각공정으로 개구부를 형성하고 형성된 개구부에 폴리실리콘을 채워 넣어서 매몰 콘택 플러그(37)를 형성한다.

절연막(36) 상에 질화막을 도포하여 식각저지층(38)을 형성한다. 이어서, 식각저지층(38) 상에 대략 15,000 Å 이상의 절연막(40)을 덮고 그 위에 캐패시터 형성영역을 한정하기 위한 포토 레지스트 패턴(42)을 형성한다.

포토 레지스트 패턴을 식각마스크로 사용하여 절연막(40) 및 식각저지층(38)을 차례로 이방성 식각하여 개구부(44)를 형성한다. 따라서, 개구부(44)의 바닥에는 매몰콘택 플러그(37)의 상면이 노출된다.

이 때, 개구부(44)는 입구(44a) 보다 바닥(44b)이 좁게 형성된다. 즉 바닥 CD(CRITICAL DIMENSIONS)이 좁게 된다. 따라서, 개구부(44)의 측벽은 기울기를 가지게 된다. 그 이유는 식각공정 시 로딩 효과에 의해 입구 보다 바닥의 식각율이 떨어지게 되기 때문이다. 이와 같은 현상은 개구부의 깊이가 깊어질수록, 즉 스토리지 전극층의 높이가 높아질수록 더욱 심하게 나타나게 된다.

도 2를 참조하면, 식각마스크로 사용한 포토 레지스트 패턴(42)을 스트립하고 개구부(44)에 노출된 절연막(40)의 프로파일을 따라 폴리실리콘 층(46)을 균일한 두께로 형성한다.

도 3을 참조하면, 절연막(40)의 상면에 있는 폴리실리콘 층을 에치백 공정에 의해 제거하여 각 개구부 내로 폴리실리콘 층을 분리하고, 남겨진 절연막(40)을 제거하면 도시한 바와 같이 입구는 넓고 바닥은 좁은 형상의 스토리지 전극층이 얻어지게 된다.

이와 같이 종래의 스토리지 전극층은 입구가 넓고 바닥이 좁은 역경사의 측벽을 가진 기하학적으로 불안정한 구조로 형성된다. 그러므로, 자중에 의해 옆으로 기울어지거나 심하면 쓰러지게 되어 셀 불량을 발생시키게 된다.

도 4 내지 도 11를 참조하여 본 발명의 바람직한 실시예를 설명한다. 도 4 내지 도 11에서 상술한 도 1 내지 도 3과 동일한 부분은 동일부호로 처리한다.

도 4는 본 발명에 의한 안정된 구조의 스토리지 전극층을 나타낸다.

본 발명에 의한 스토리지 전극층(50)은 기단부(52)와 탐부(54)로 구성된다. 기단부(52)는 바닥이 있는 실린더 형상을 한다. 기단부(52)의 바닥 저면은 매몰 콘택 플러그(37)의 상면과 접촉된다.

탐부(54)는 파이프 형상을 한다.

실린더형 기단부(52)의 내경이 파이프형 탐부(54)의 내경 보다 크다.

상기 기단부(52)의 상단과 상기 탐부(54)의 하단이 동일 높이에서 서로 마주보고 연장되어 서로 연결된다.

스토리지 전극층(50)의 전체 높이는 약 15,000 Å 이상이고, 기단부(52)의 높이는 약 1,000~5,000 Å 정도이고, 탐부(54)의 높이는 약 5,000~15,000 Å 정도이다.

도시한 바와 같이, 본 발명의 스토리지 전극층(50)은 내경이 큰 기단부(52) 상에 내경이 작은 탐부(54)가 올려진 형상이므로 전체적으로 안정된 구조를 가진다. 즉, 입구에 비해 바닥이 넓은 안정된 구조를 가진다.

도 5 내지 도 11를 참조하여 본 발명의 스토리지 전극층의 형성방법을 설명한다.

도 5를 참조하면, 상술한 종래 방법과 마찬가지로 셀 트랜지스터, 비트라인, 매몰 콘택 플러그가 형성된 웨이퍼 상에 질화막과 같은 식각저지층(38)을 형성하고, 그 위에 PE-TEOS를 대략 1,000~5,000 Å 정도의 두께로 증착하여 절연막(56)을 형성한다.

도 6을 참조하면, 절연막(56)에 Ar 또는 N₂와 같은 불순물을 이온주입한다. 절연막(56)에 불순물을 주입한 것은 후속 세정공정시 식각속도를 높이기 위한 것이다.

도 7를 참조하면, 절연막(56) 상에 PE-TEOS를 대략 5,000 ~ 15,000 Å 정도의 두께로 증착하여 절연막(58)을 형성하고, 그 위에 반사 방지막(59)을 형성한다.

도 8를 참조하면, 반사 방지막(59) 상에 캐패시터 영역을 한정하기 위한 포토 레지스트 패턴(60)을 형성한다. 이어서, 포토레지스트 패턴(60)을 식각 마스크로 사용하여 반사 방지막(59), 절연막(58), 절연막(56) 및 식각저지층(38)을 차례로 건식 식각하여 개구부(62)를 형성한다. 개구부(62)는 상술한 종래와 마찬가지로 로딩 효과에 의해 입구보다 바닥이 좁고, 측벽이 경사진 형태로 만들어지게 된다.

도 9를 참조하면, 식각 마스크로 사용한 포토레지스트 패턴(60)을 스트립공정에 의해 제거하고, 결과물을 SC1+HF 세정액으로 세정한다. 세정액에 의해 절연막(56) 및 절연막(58)이 등방성 습식식각된다. 이 때, 절연막(56)은 절연막(58)에 비하여 대략 1.5 내지 3 배정도 빠른 속도로 식각되므로 입구에 비해 바닥에 더 넓은 공간(64)이 형성되게 된다. 즉, 바닥 CD(CRITICAL DIMENSIONS)을 넓게 확보하는 것이 가능하다. 이 공간(64)이 스토리지 전극층의 기단부로 제공된다.

도 10을 참조하면, 결과물에 폴리실리콘을 증착하게 되면, 개구부(60) 및 공간(64) 내에 노출된 절연막(56) 및 절연막(58)의 측벽 프로파일을 따라 폴리실리콘이 균일한 두께로 증착되어 폴리실리콘층(66)이 형성된다.

도 11를 참조하면, 결과물에 폴리실리콘 에치백 공정을 적용하면, 절연막(58) 상면에 노출된 폴리실리콘층이 제거되어 폴리실리콘이 각 개구부(60)로 분리된다. 이어서, 반사 방지막(59), 절연막(56, 58)을 제거하면, 도식한 바와 같이, 기단부(52)와 탐부(54)를 가진 안정된 구조의 스토리지 전극층(50)을 얻게 된다.

본 발명의 스토리지 전극층(50)은 기단부(52)의 바닥이 넓기 때문에 부착력이 증가되고, 탐부(54)를 안정되게 지지할 수 있다.

또한, 이와 같은 구조는 종래 방식에 비하여 스토리지 전극층(50)의 유효 표면적이 증가되는 되므로 셀 캐패시턴스를 증가시킬 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에서는 스토리지 전극층의 구조를 기단부와 탐부로 구성함으로써 스토리지 전극층의 높이를 15,000 Å 이상으로 높이더라도 안정된 구조를 가질 수 있다. 따라서, 본 발명은 스토리지 전극층이 기울어지거나 쓰러지는 것을 방지할 수 있어서 소자의 신뢰성을 향상시킬 수 있고 셀 불량을 억제할 수 있어 수율을 향상시킬 수 있는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

제 1 절연막에 매몰 콘택 플러그가 형성된 웨이퍼를 준비하는 단계;

상기 매몰 콘택 플러그가 형성된 제 1 절연막 상에 식각저지층을 형성하는 단계;

상기 식각 저지층 상에 제 2 절연막을 소정 두께로 형성하는 단계;

상기 제 2 절연막에 불순물을 이온주입하는 단계;

상기 제 2 절연막 상에 제 3 절연막을 소정 두께로 형성하는 단계;

상기 제 3 절연막 상에 캐패시터 형성영역을 한정하기 위한 포토 레지스트 패턴을 형성하는 단계;

상기 매몰 콘택 플러그의 상면이 노출되도록 상기 포토 레지스트 패턴을 식각마스크로 사용하여 제 3 및 제 2 절연막과 식각저지층을 차례로 이방성 식각하여 개구부를 형성하는 단계;

상기 포토 레지스트 패턴을 제거하는 단계;

상기 개구부 내에 노출된 제 2 절연막이 등방성 에칭되도록 상기 결과물을 세정하는 단계;

상기 제 2 및 제 3 절연막의 프로파일을 따라 균일한 두께로 폴리실리콘을 도포하는 단계;

상기 제 3 절연막의 상면에 도포된 폴리 실리콘을 제거하는 단계;

상기 남겨진 제 3 및 제 2 절연막을 제거하는 단계를 구비한 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층 형성방법.

청구항 2.

제 1 항에 있어서, 상기 제 2 절연막의 소정 두께는 약 1,000~5,000 Å 정도인 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층 형성방법.

청구항 3.

제 2 항에 있어서, 상기 제 3 절연막의 소정 두께는 약 5,000~15,000 Å 정도인 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층 형성방법.

청구항 4.

제 1 항에 있어서, 상기 제 2 절연막에 주입되는 불순물은 Ar 또는 N₂ 중의 어느 하나인 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층 형성방법.

청구항 5.

제 1 항에 있어서, 상기 세정단계에서 사용되는 세정액은 SC1 및 HF인 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층 형성방법.

청구항 6.

제 1 항에 있어서, 상기 제 3 절연막 상에 반사 방지막을 형성하는 단계를 더 구비하는 것을 반도체 메모리 장치의 스토리지 전극층 형성방법.

청구항 7.

제 1 항에 있어서, 상기 스토리지 전극층의 높이는 적어도 15,000 Å 이상인 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층 형성방법.

청구항 8.

제 1 항에 있어서, 상기 제 2 및 제 3 절연막은 PE-TEOS인 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층 형성방법.

청구항 9.

제 1 절연막에 매몰 콘택 플러그가 형성된 웨이퍼를 준비하는 단계;

상기 매몰 콘택 플러그가 형성된 제 1 절연막 상에 식각저지층을 형성하는 단계;

상기 식각 저지층 상에 제 2 절연막을 소정 두께로 형성하는 단계;

등방성 식각시 상기 제 2 절연막의 식각속도에 비하여 더 느린 제 3 절연막을 상기 제 2 절연막 상에 소정 두께로 형성하는 단계;

상기 제 3 절연막 상에 캐패시터 형성영역을 한정하기 위한 포토 레지스트 패턴을 형성하는 단계;

상기 매몰 콘택 플러그의 상면이 노출되도록 상기 포토 레지스트 패턴을 식각마스크로 사용하여 제 3 및 제 2 절연막과 식각저지층을 차례로 이방성 식각하여 개구부를 형성하는 단계;

상기 포토 레지스트 패턴을 제거하는 단계;

상기 개구부 내에 노출된 제 2 절연막이 등방성 에칭되도록 상기 결과물을 세정하는 단계;

상기 제 2 및 제 3 절연막의 프로파일을 따라 균일한 두께로 폴리실리콘을 도포하는 단계;

상기 제 3 절연막의 상면에 도포된 폴리 실리콘을 제거하는 단계;

상기 남겨진 제 3 및 제 2 절연막을 제거하는 단계를 구비한 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층 형성방법.

청구항 10.

제 9 항에 있어서, 상기 세정단계에서 제 2 절연막의 등방성 식각속도는 상기 제 2 절연막의 식각속도에 비하여 적어도 1.5 ~ 3배 정도인 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층 형성방법.

청구항 11.

반도체 메모리 장치의 스토리지 전극층에 있어서,

상기 스토리지 전극층은

제 1 내경을 가진 실린더형 기단부와 상기 기단부의 제 1 내경보다 작은 제 2 내경을 가진 파이프형 탐부로 구성되고,

상기 기단부의 상단과 상기 탐부의 하단이 동일 높이에서 서로 마주보고 연장되어 서로 연결된 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층.

청구항 12.

제 11 항에 있어서, 상기 기단부의 높이는 약 1,000~5,000 Å 정도인 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층.

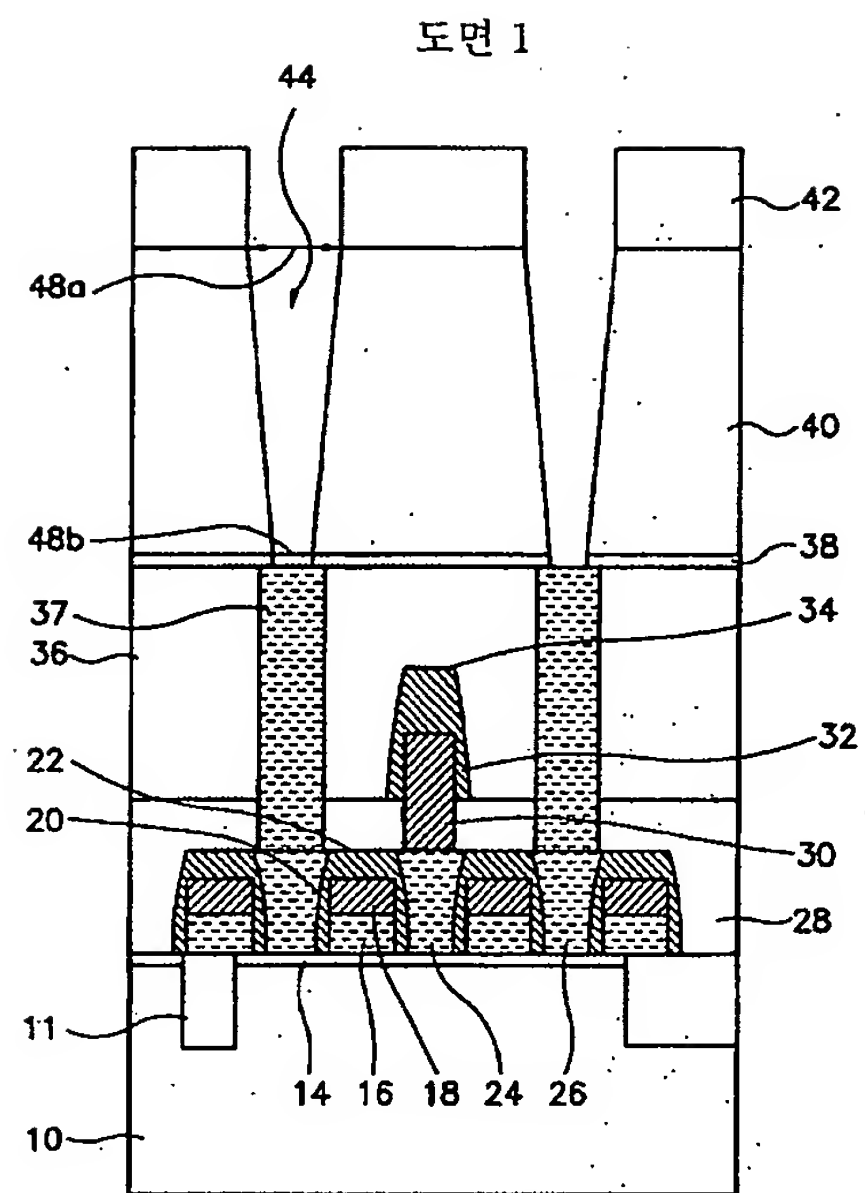
청구항 13.

제 12 항에 있어서, 상기 탐부의 높이는 약 5,000~15,000 Å 정도인 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층.

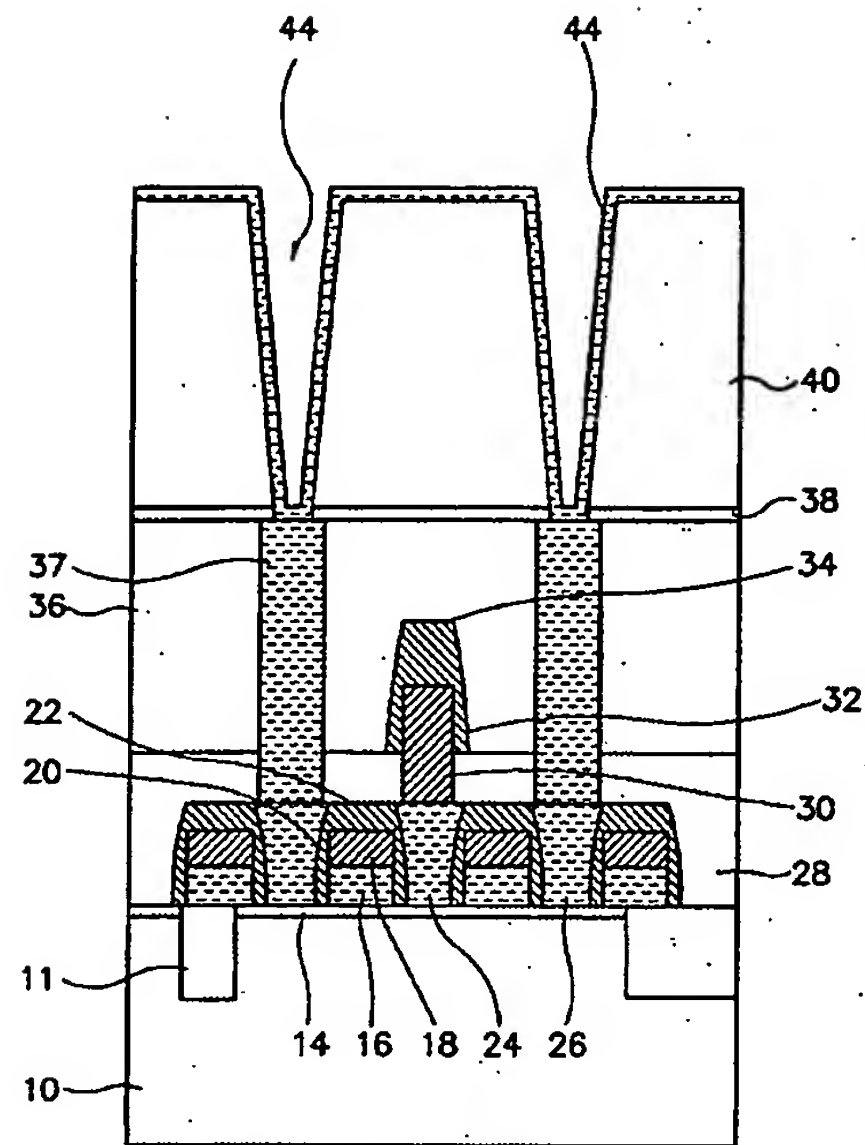
청구항 14.

제 11 항에 있어서, 상기 스토리지 전극층의 높이는 약 15,000 Å 이상인 것을 특징으로 하는 반도체 메모리 장치의 스토리지 전극층.

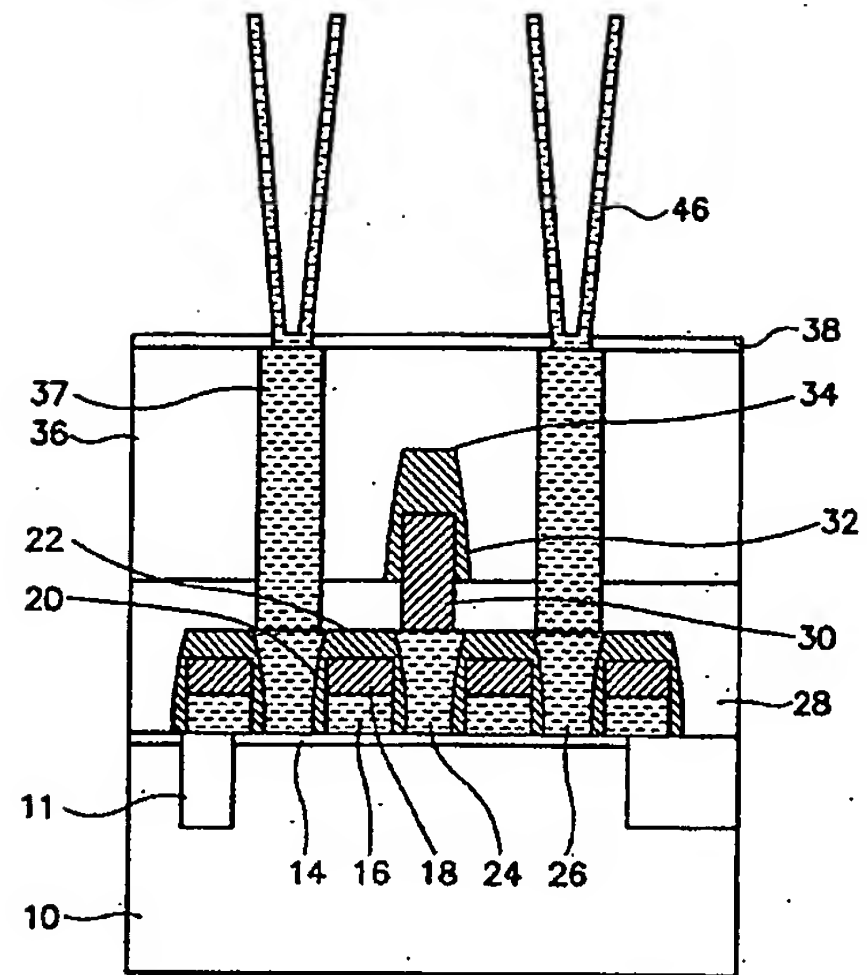
도면



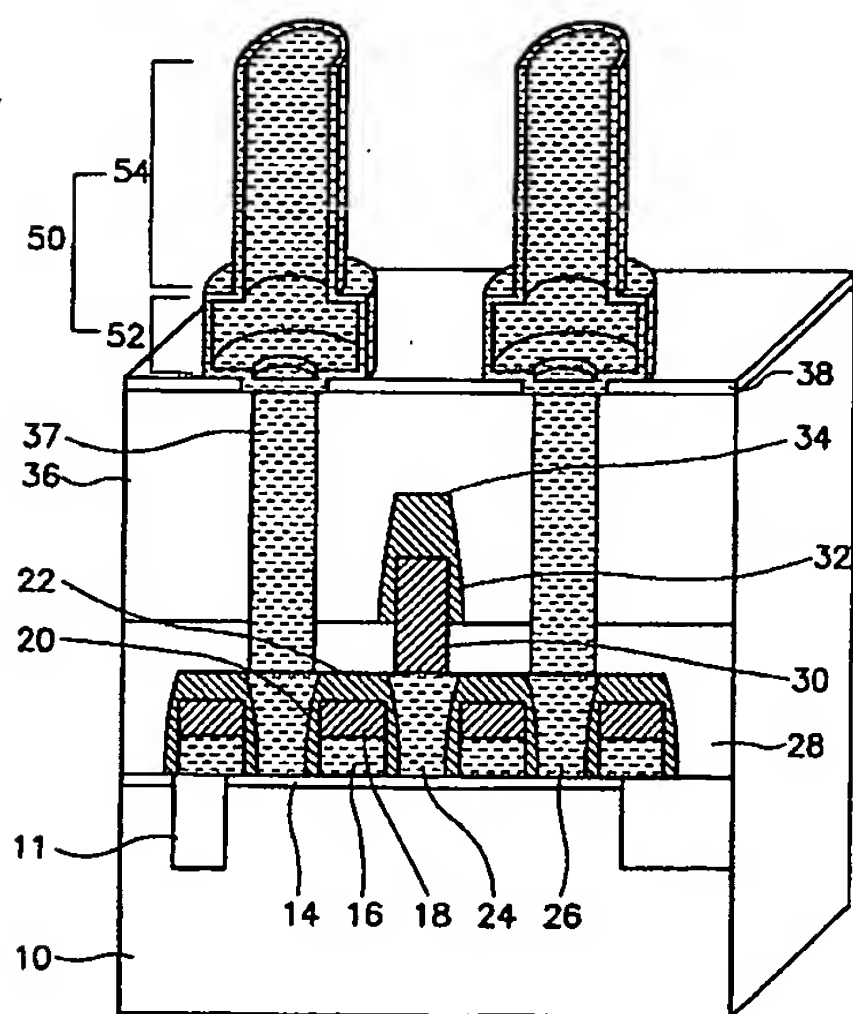
도면 2



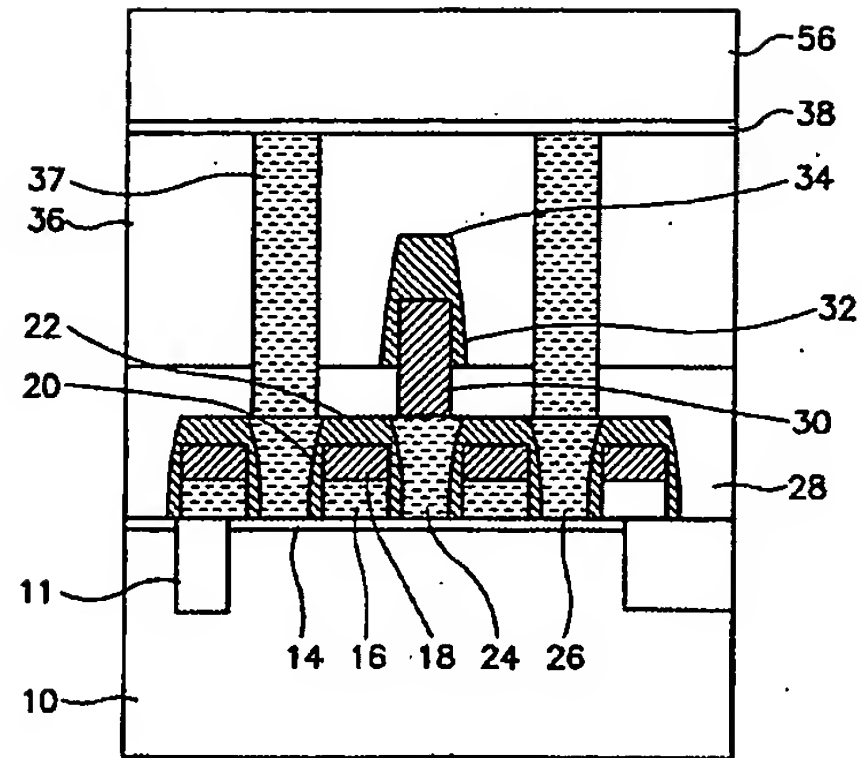
도면 3



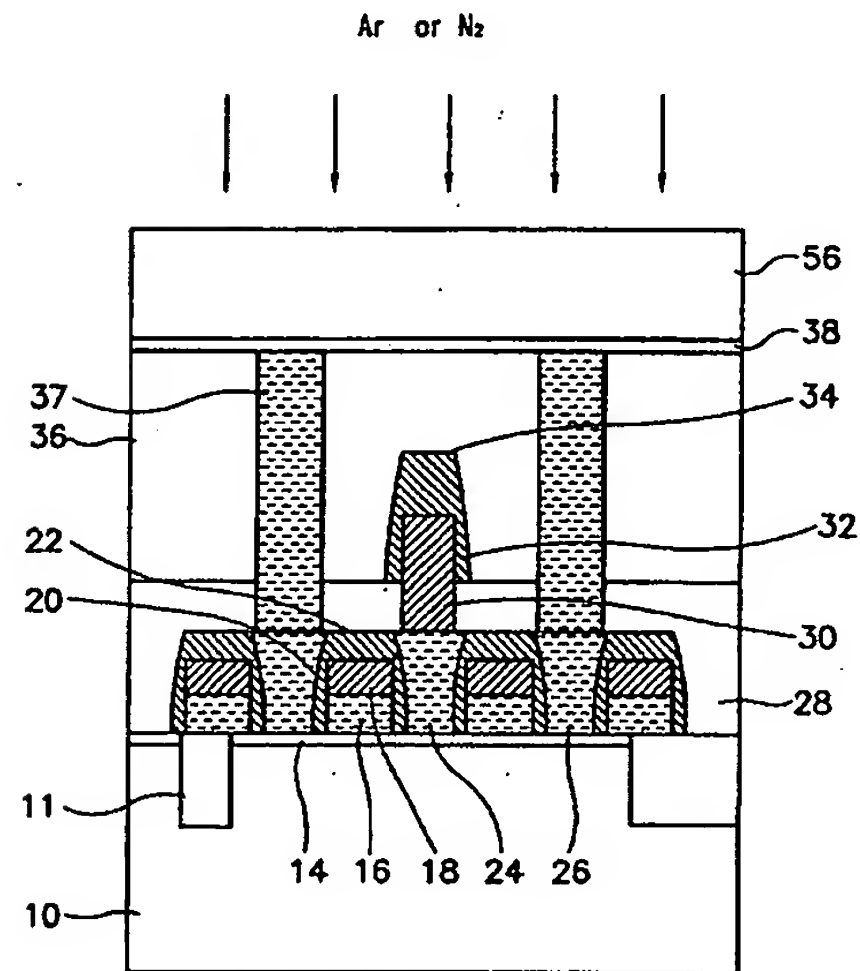
도면 4



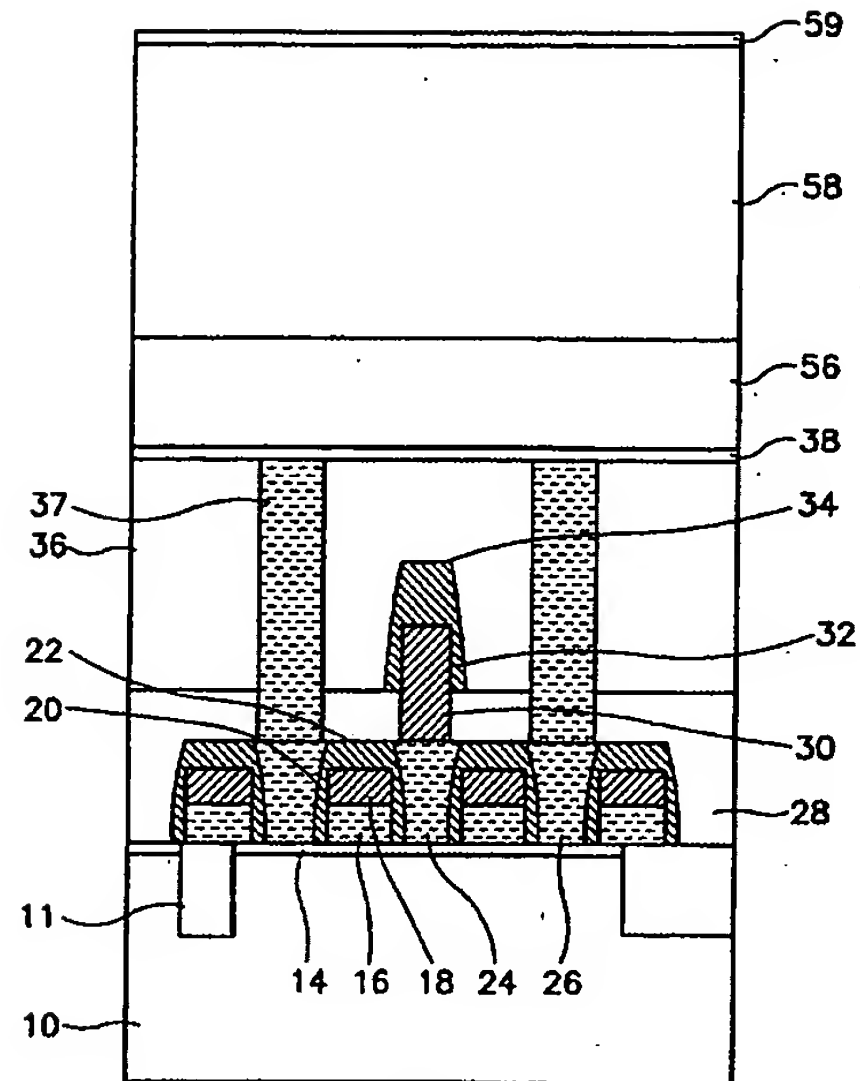
도면 5



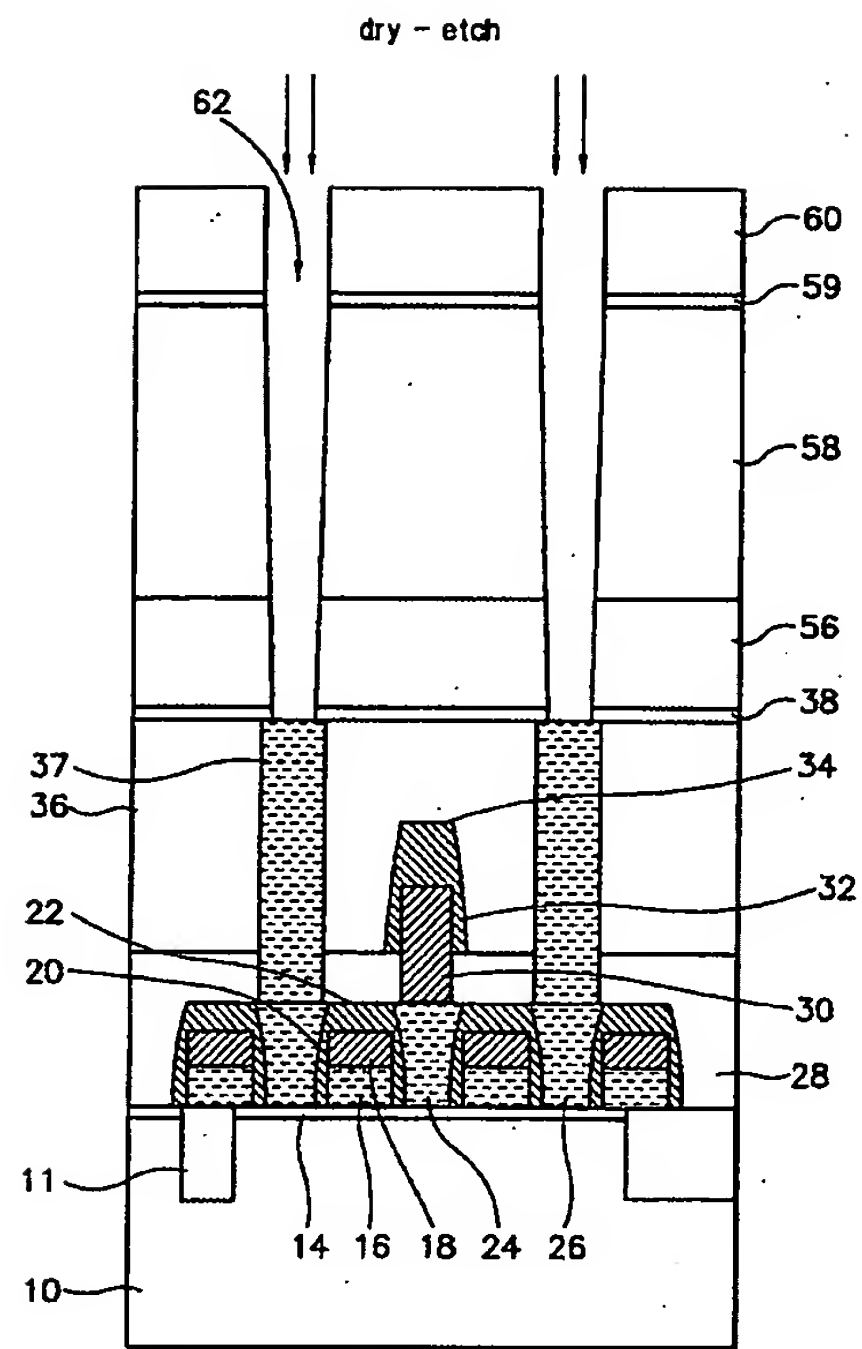
도면 6



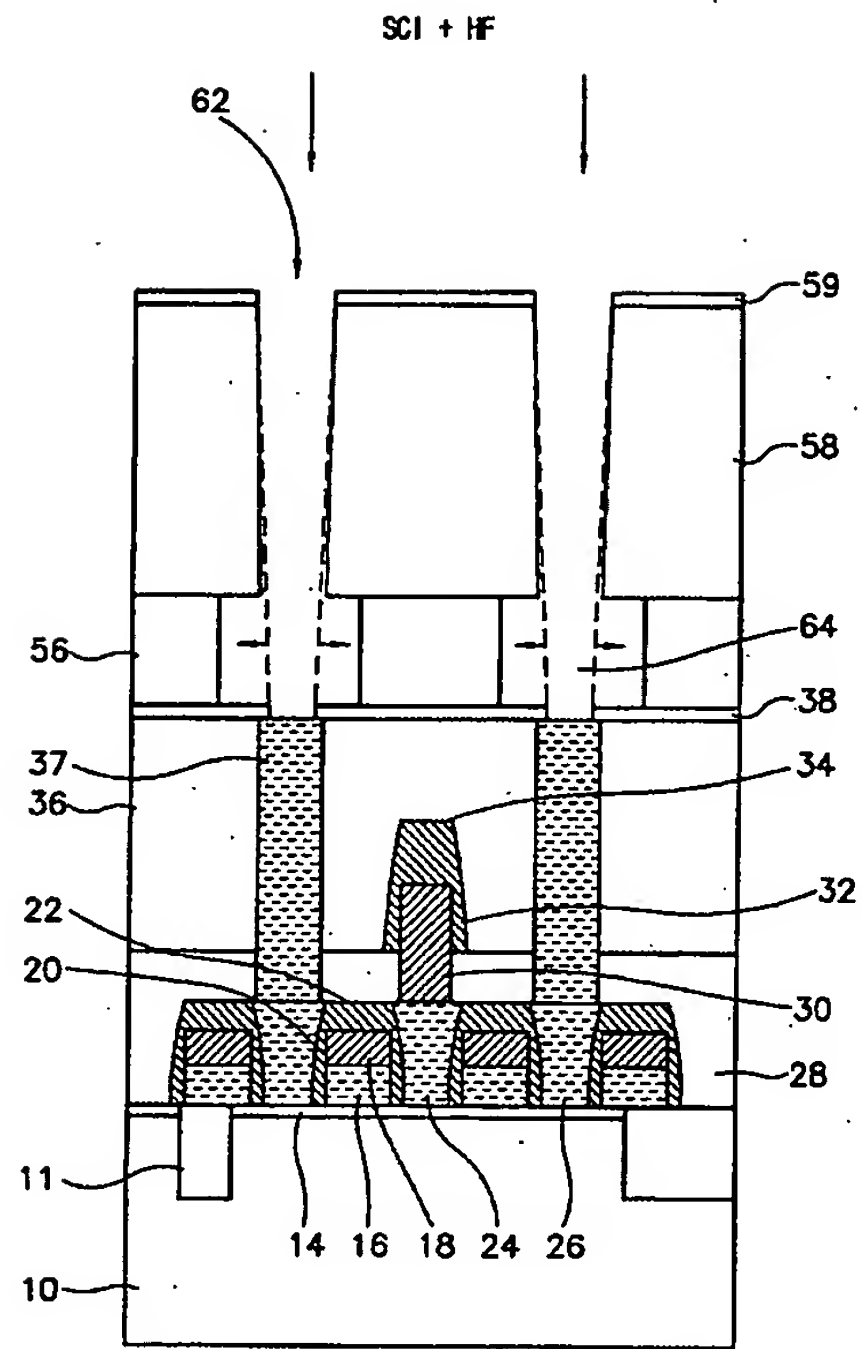
도면 7



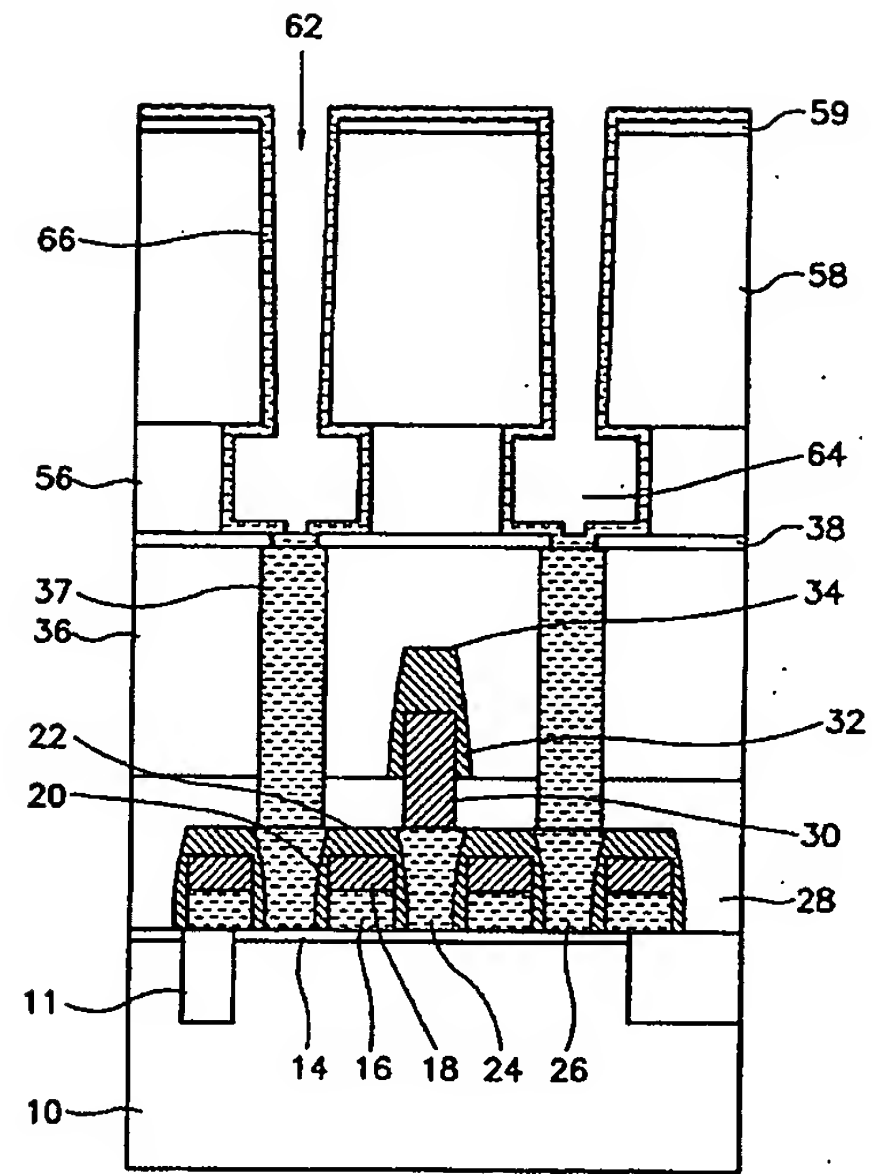
도면 8



도면 9



도면 10



도면 11

